

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-280321

(43)Date of publication of application : 16.11.1990

(51)Int.Cl. H01L 21/265
H01L 21/336
H01L 29/40
H01L 29/784

(21)Application number : 01-100217 (71)Applicant : OKI ELECTRIC IND CO LTD

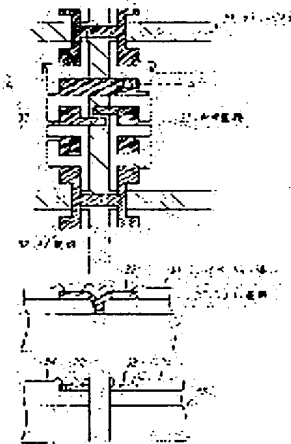
(22)Date of filing : 21.04.1989 (72)Inventor : SUGAWARA FUMIO

(54) MANUFACTURE OF SEMICONDUCTOR ELEMENT**(57)Abstract:**

PURPOSE: To prevent breakdown of a gate oxide film and an Al wiring and to improve reliability and yield by providing a current path which runs from an Al wiring pattern to a silicon substrate and by cutting off the path when a chip is scribed.

CONSTITUTION: In a process for patterning of an Al wiring, etching is carried out to make the Al wiring 32 exist also on a grid line 31. Thereby, electric charge developed during plasma treatment of Al etching, resist removal, passivation etching flows to a path formed from the wiring 32 to a silicon substrate 35; Therefore, charge up does not occur. The wiring 32 and the substrate 35 are electrically cut off and separated by cutting off the line 31.

According to this constitution, it is possible to avoid deterioration and breakdown of a gate insulating film due to charge up and to improve yield and reliability.

**LEGAL STATUS**

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平2-280321

⑤ Int. Cl.⁹

識別記号

庁内整理番号

④ 公開 平成2年(1990)11月16日

H 01 L 21/265
21/336
29/40
29/784

Z 7638-5F

7522-5F H 01 L 21/265
8422-5F 29/78

3 0 1 N
Y

審査請求 未請求 請求項の数 1 (全5頁)

⑬ 発明の名称 半導体素子の製造方法

⑪ 特 願 平1-100217

⑫ 出 願 平1(1989)4月21日

⑭ 発 明 者 菅 原 文 雄 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内

⑮ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号

⑯ 代 理 人 弁理士 清水 守 外1名

明 細 書

1. 発明の名称

半導体素子の製造方法

2. 特許請求の範囲

- (a) シリコン基板上にチップを形成する工程と、
- (b) 配線材料の一部をシリコン基板の露出部に接続するとともに、グリッドラインを跨いで配線パターンを形成し、該配線パターンによりシリコン基板へ通じる電流経路を形成する工程と、
- (c) シリコン基板上のチップをスクライブする工程とを施すことを特徴とする半導体素子の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は、半導体素子の製造方法に係り、特にゲート酸化膜のチャージアップを回避する半導体素子の製造方法に関するものである。

(従来の技術)

近年、半導体素子の高密度化、高速化に伴い、

半導体素子の構成部品である容量やトランジスタのゲート酸化膜の膜厚の薄膜化、或いは配線材料の薄膜化、配線幅の縮小化が行われている。

このような、高密度化、高速化、高機能化を達成するためには、様々の複雑な工程が必要とされる。

ここで、高密度化、高速化、高機能化が要求される代表的なデバイスであるDRAM(DYNAMIC RANDOM ACCESS MEMORY)を例にとり、第2図を用いて説明する。

まず、P型シリコン基板1上にゲート酸化膜2を150 Å成長させ、通常のホトリソグラフィー技術を用いてレジストをパターンニングし、これをマスクにシリコン基板1に、B⁺を80KeV1×10¹⁴ IONS/cm²、As⁺を60KeV1×10¹⁴ IONS/cm²の条件で注入し、ボロンの高濃度領域3、砒素の高濃度領域4を形成する。レジストを除去した後、CVD法(Chemical Vapour Deposition)によりゲート酸化膜2上にポリシリコン(多結晶シリコン)5を2000 Å成長する。ここで、拡散源として POC₂、

を用い、このポリシリコン5にP(リン)を 4×10^{18} 原子/cm²ドーピングする。

次に、通常のホトリソグラフィ、エッチング技術を用いてポリシリコン5、ゲート酸化膜2を選択的にエッチング除去する。この後、レジストを除去することにより、第2図(a)のような形状を得る。

続いて、ゲート酸化膜6を成長させ、必要があれば、通常のホトリソグラフィ技術を用いて、トランジスタの閾値(V_T)制御のための不純物注入を選択的にを行い、レジストを除去する。続いて、CVD法によりポリシリコン7を3000Å成長した後、Pを 4×10^{18} 原子/cm²ドーピングする。

この後、通常のホトリソグラフィ技術を用いてパターンニングし、これをマスクにポリシリコン7、ゲート酸化膜6を選択的にエッチング除去する。続いて、通常のホトリソグラフィ技術を用いてN⁺層8用のパターンニングを行い、Pを40KeV 1×10^{13} IONS/cm²の条件で注入する。更に、レジストを除去して、第2図(b)のような形状を得る。

技術を用い、配線引出用或いは冗長救済用ヒューズの窓16を開けた後、レジストを除去し、第2図(c)のような形状を得る。

第3図は従来の半導体素子の部分平面図であり、第3図(a)では、その半導体素子のチップがグリッドライン21(斜線部分)で囲まれている。この一部を拡大したのが、第3図(b)であり、アルミパッド22が破線で囲まれる内部回路23に接続されている。

(発明が解決しようとする課題)

しかしながら、前述したように、第2図(a)～(c)の工程において、イオン注入、プラズマエッチング、レジスト除去(プラズマエッチング)等を幾度も経ることにより、薄いゲート絶縁膜2、6はチャージアップによるダメージを受け、絶縁破壊に至る。

この現象は、工程の回数を重ねる程顕著であり、特にAlホトリソグラフィ、エッチング工程では、配線引出口となるAlのパッド部分(第2図(a)の窓16或いは第3図(b)のアルミパッド22)

次に、PSG(Phospho Silicate Glass)膜を4000Å成長した後、RIE(Reactive Ion Etching)により異方性エッチングを行い、サイドウォール9を形成する。更に、通常のホトリソグラフィを用い、N⁺層10用のAsイオンを50KeV 5×10^{13} IONS/cm²の条件で注入してレジストを除去し、第2図(c)のような形状を得る。

次いで、層間膜用のPSG膜11を6000Å成長し、通常のホトリソグラフィ、エッチング技術を用い、コンタクト窓12を形成する。更に、通常のホトリソグラフィを用いてパターンニングを行い、コンタクトイオン注入をPを 5×10^{13} IONS/cm² 40KeVの条件で行い層13を形成し、その後レジストを除去し、第2図(d)のような形状を得る。

次に、Al14を蒸着し、通常のホトリソグラフィ、エッチング技術を用いて選択的にエッチング除去した後、レジストを除去する。続いて、プラズマCVD法により、パッシベーション膜15を成長させる。

更に、通常のホトリソグラフィ、エッチング

の面積が大きいために、これがアンテナの役目をして電流を集め易くなり、ゲート絶縁膜2、6を破壊する(「ドライエッチング時のチャージアップとゲート酸化膜破壊」Semiconductor World 1987.11参照)。

この現象がひどい時には、絶縁膜破壊ばかりでなく、Al配線が溶断することもある。

また、次工程のパッシベーション、ホトリソグラフィ、エッチング或いはレジスト除去でも同様である。

本発明は、以上述べたAlパッシベーション工程でのチャージアップによるゲート酸化膜、Al配線の破壊をなくし、歩留まりと、信頼性の向上を図り得る半導体素子の製造方法を提供することを目的とする。

(課題を解決するための手段)

本発明は、上記目的を達成するために、半導体素子の製造方法において、シリコン基板上にチップを形成した後、グリッドラインを跨いでAl配線を形成し、Al配線からシリコン基板へ通じる

電流経路を設け、シリコン基板上のチップを1つ1つにスクライプする時に、この電流経路を切断するようにしたものである。

(作用)

本発明によれば、上記のように、A2配線をパターンニングする際に、A2配線の一部が直接或いはポリシリコン等の導体を通じてシリコン基板へ通じる電流経路を設けるようにしたので、従来のようにA2配線やパッシベーションエッチング或いはレジストを除去する際の電流経路がないことによって生じるゲート酸化膜の劣化、破壊を防止することができる。

(実施例)

以下、本発明の実施例について図面を参照しながら詳細に説明する。

第1図は本発明の実施例を示す半導体素子の製造方法の説明図であり、第1図(a)はその半導体素子の配線パターンを示す平面図、第1図(b)は第1図(a)のA-A線断面図、第1図(c)はその半導体素子のクライピング状態を示す断面図であ

に、コンタクトを形成する必要がある。

この実施例では、A2配線32を直接シリコン基板35に接続しているが、ポリシリコン等を介して接続するようにしてもよい。

このように構成することにより、A2エッチング、レジスト除去、パッシベーションエッチングのプラズマ処理中に発生する電荷は、A2配線32からシリコン基板35へ形成された電流経路に流れるので、チャージアップすることはない。

そして、第1図(c)に示すように、グリッドライン31を切断することにより、A2配線32とシリコン基板35は電氣的に切断分離され、分離された各チップにおいてA2配線32は何ら問題となることはない。なお、第1図(b)、(c)において、34はパッシベーション膜である。

また、この実施例ではA2を例にとって説明したが、A2-Si、A2-Si-Cu、PolySi、或いはこれらの配線にTiN等を組み合わせた複合膜等の配線材料を用いても同様に構成することができる。

なお、本発明は上記実施例に限定されるもので

る。

まず、チップは第2図における説明と同様に製造される。つまり、第2図(a)～(d)の工程を施す。

次に、第1図(a)に示すように、A2配線のパターンニングを行う工程で、A2配線32がグリッドライン31上にも存在するように、ホトリソグラフィ、エッチング技術を施す。

このA2配線32は、第1図(a)に示すように、半導体素子のワイヤボンディング用のパッドから単一でグリッドライン31へ、或いは複数のパッドを連結してグリッドライン31上へパターンニングする。なお、ここでは、パターンニングのないパッドがあってもよい。

また、この実施例では、パッドより配線を引き出しているが、第1図(a)のパッドからつながる内部回路33の配線パターンよりグリッドライン31へ引き出すことも可能である。

なお、A2配線32を成長させる前に、グリッドライン31上のシリコン基板35が一部露出するよう

はなく、本発明の趣旨に基づいて種々の変形が可能であり、これらを本発明の範囲から排除するものではない。

(発明の効果)

以上、詳細に説明したように、本発明によれば、A2配線をパターンニングする際に、A2配線の一部が直接、或いはポリシリコン等の導体を通じてシリコン基板へ通じる電流経路を設けるようにしたので、従来のようにA2配線やパッシベーションエッチング或いはレジストを除去する際の電流経路が形成されないで、チャージアップによるゲート酸化膜の劣化、破壊を回避することができ、半導体素子の歩留まり及び信頼性の向上を図ることができる。

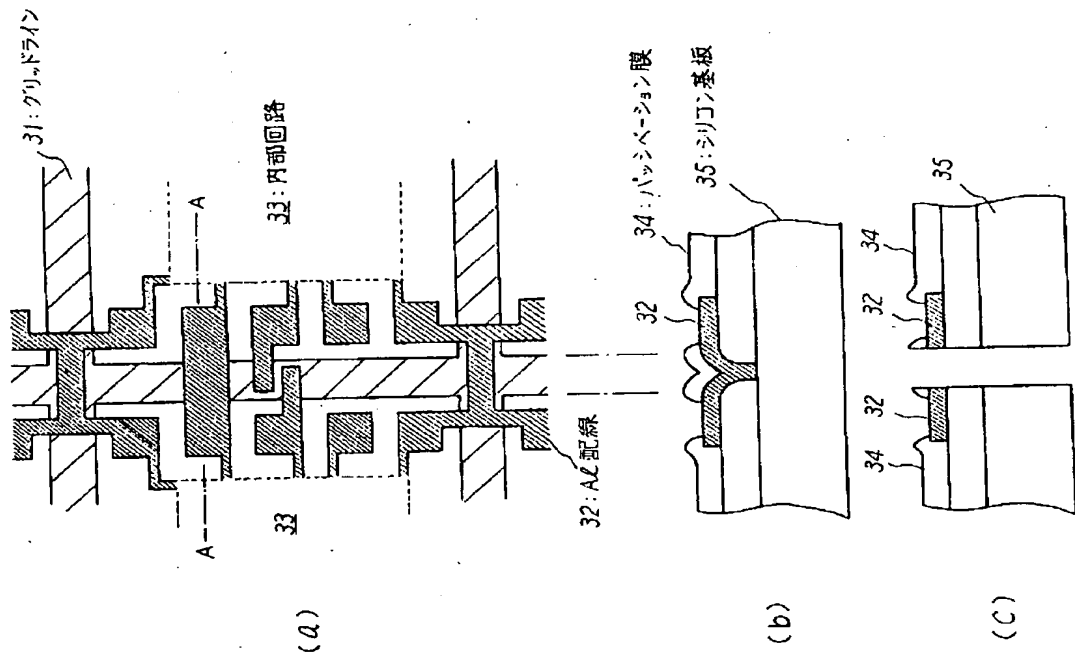
4. 図面の簡単な説明

第1図は本発明の実施例を示す半導体素子の製造方法の説明図、第2図は従来の半導体素子の製造工程図、第3図は従来の半導体素子の部分平面図である。

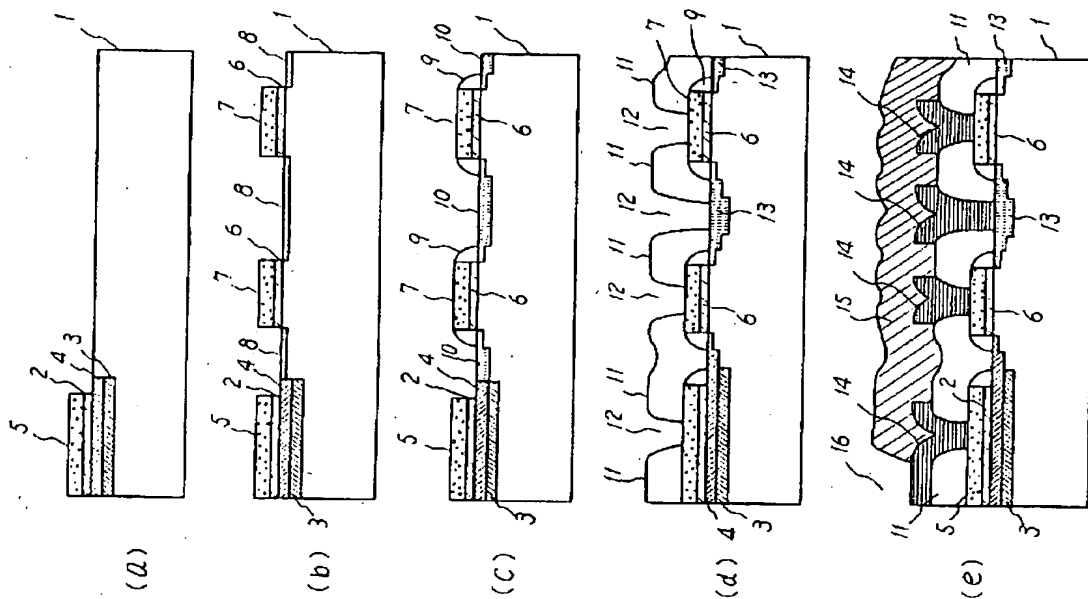
31…グリッドライン、32…A2配線、33…内部

回路、34…パッシベーション膜、35…シリコン基板。

特許出願人 沖電気工業株式会社
代理人 弁理士 清水 守 (外1名)

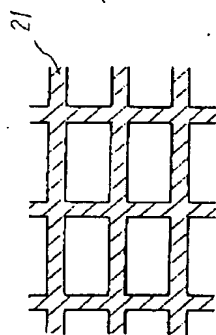


本発明の半導体素子の製造方法の説明図

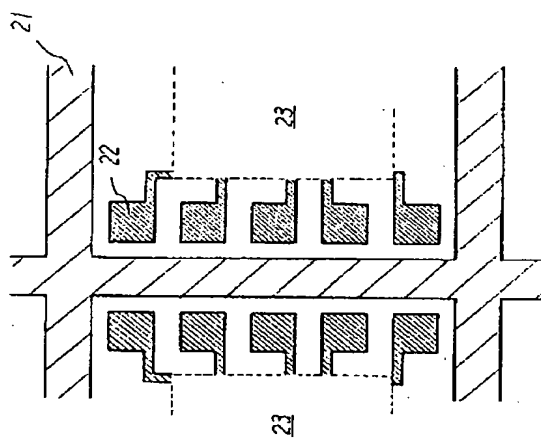


従来の半導体素子の製造工程図

第 2 図



(a)



(b)

従来の半導体素子の部分平面図

第 3 図

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】平成8年(1996)10月11日

【公開番号】特開平2-280321
 【公開日】平成2年(1990)11月16日
 【年通号数】公開特許公報2-2804
 【出願番号】特願平1-100217
 【国際特許分類第6版】

H01L 29/78
 21/265
 21/301

【F I】

H01L 29/78 301 K 7514-4M
 21/265 N 7352-4M
 21/78 L 8617-4M

手続補正書 (自発)

平成 7 年 5 月 2 5 日

特許庁長官 殿

1. 事件の表示

平成1年特許第100217号

2. 発明の名称

半導体素子の製造方法

3. 補正をする者

事件との関係 特許出願人

住所 (〒105) 東京都港区虎ノ門1丁目7番12号

名称 (029) 沖電気工業株式会社

代表者 沖 宮 司 順

4. 代理人

住所 〒(101) 東京都千代田区神田美土代町7番地10

大國ビル

氏名 (8963) 弁理士 清水 守

電話 3219-5691

5. 補正の対象

明細書の「特許請求の範囲の欄」及び「発明の詳細な説明の欄」

6. 補正の内容

別紙の通り

(1) 明細書の「特許請求の範囲の欄」を次の通り補正する。

(a) 主表面を有する半導体基板であって、前記主表面の一部を含む前記半導体基板内の素子形成予定領域と、前記素子形成予定領域に隣接し、前記半導体基板がスクライプされる領域であるグリッドライン領域とを有する前記半導体基板を準備する工程と、

(b) 前記素子形成予定領域上にゲート絶縁膜を形成する工程と、

(c) 前記ゲート絶縁膜上にゲート電極を形成する工程と、

(d) 前記ゲート電極を含む前記半導体基板上に層間絶縁膜を形成する工程と、

(e) 前記ゲート電極上の前記層間絶縁膜を除去することにより前記ゲート電極を露出する工程と、

(f) 前記グリッドライン領域上の前記層間絶縁膜を除去する工程と、

(g) 前記層間絶縁膜が除去された前記グリッドライン領域上及び前記露出されたゲート電極上を含む前記層間絶縁膜上に導電層を形成し、前記ゲート電極と前記半導体基板とを電気的に接続する工程と、

(h) 前記導電層をパターニングすることにより配線を形成する工程と、

(i) 前記配線を形成した後、前記半導体基板上にパッシベーション膜を形成し、パターニングする工程と、

(j) 前記パッシベーション膜をパターニングした後、前記グリッドライン領域をスクライプすることにより前記ゲート電極と前記半導体基板とを電気的に分離する工程とを有することを特徴とする半導体素子の製造方法。

(2) 明細書の「発明の詳細な説明の欄」を次の通り補正する。

明細書の第6頁第17行目から第7頁第3行目に記載の「本発明は、～するようにしたものである。」を「本発明は、上記目的を達成するために、主表面を有する半導体基板であって、前記主表面の一部を含む前記半導体基板内の素子形成予定領域と、前記素子形成予定領域に隣接し、前記半導体基板がスクライプされる領域であるグリッドライン領域とを有する前記半導体基板を準備する工程と、前記素子形成予定領域上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記ゲート電極を含む前記半導体基板上に層間絶縁膜を形成する工程と、前記ゲート電極上の前記層間絶縁膜を除去することにより前記ゲート電極を露出する工程と、前記グリッドライン領域上の前記層間絶縁膜を除去する工程と、前記露出されたゲート電極上及び前記露出されたグリッドライン領域上に導電層を形成し、前記ゲート電極と前記半導体基板とを電気的に接続する工程と、前記導電層をパターニングすることにより配線を形成する工程と、前記配線を形成した後、前記半導体基板上にパッシベーション膜を形成し、パターニングする工程とを有することを特徴とする半導体素子の製造方法。」と改訂する。

より前記ゲート電極を露出する工程と、前記グリッドライン領域上の前記層間絶縁膜を除去する工程と、前記層間絶縁膜が除去された前記グリッドライン領域上及び前記露出されたゲート電極上を含む前記層間絶縁膜上に導電層を形成し、前記ゲート電極と前記半導体基板とを電気的に接続する工程と、前記導電層をパターニングすることにより配線を形成する工程と、前記配線を形成した後、前記半導体基板上にパッシベーション膜を形成しパターニングする工程と、前記パッシベーション膜をパターニングした後、前記グリッドライン領域をスクライブすることにより前記ゲート電極と前記半導体基板とを電気的に分離する工程とを有するようにしたものである。」と補正する。